

PATENT  
81784.0287  
Express Mail Label No. EV 324 110 661 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yoshihiro OKADA et al.

Serial No: Not assigned

Filed: October 17, 2003

For: Solid Image Capturing Element for Power  
Saving at Output Section and  
Manufacturing Method for the Same

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-304977 which was filed October 18, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

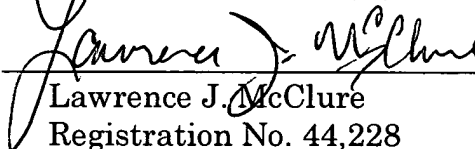
Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: October 17, 2003

By:



Lawrence J. McClure  
Registration No. 44,228  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 1 8 日  
Date of Application:

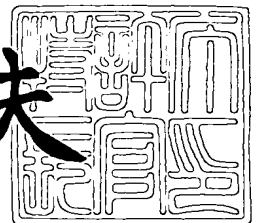
出 願 番 号                      特 願 2 0 0 2 - 3 0 4 9 7 7  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 0 4 9 7 7 ]

出      願      人                      三 洋 電 機 株 式 会 社  
Applicant(s):

2 0 0 3 年    9 月 1 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 7 4 8 5 6

【書類名】 特許願

【整理番号】 KIB1020039

【提出日】 平成14年10月18日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 岡田 吉弘

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 大鶴 雄三

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

【代理人】

    【識別番号】 100075258

    【弁理士】

    【氏名又は名称】 吉田 研二

    【電話番号】 0422-21-2340

【選任した代理人】

    【識別番号】 100096976

    【弁理士】

    【氏名又は名称】 石田 純

    【電話番号】 0422-21-2340

【手数料の表示】

    【予納台帳番号】 001753

    【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 固体撮像素子及びその製造方法

【特許請求の範囲】

【請求項 1】 行列配置される複数の受光画素の各列に対応して複数の垂直シフトレジスタが配置されると共に、前記複数の垂直シフトレジスタの出力側に水平シフトレジスタが配置され、更に前記水平シフトレジスタの出力側に出力部が配置される固体撮像素子において、

一導電型の半導体基板の一主面に逆導電型の半導体領域が形成されると共に、前記半導体領域に前記複数の受光画素、前記複数の垂直シフトレジスタ、前記水平シフトレジスタ及び前記出力部が形成され、前記出力部の前記半導体領域が前記水平シフトレジスタの半導体領域よりも不純物濃度が高いことを特徴とする固体撮像素子。

【請求項 2】 請求項 1 に記載の固体撮像素子において、

前記半導体基板上に形成され、前記水平シフトレジスタと前記出力部との境界に配置される出力ゲートを更に有することを特徴とする固体撮像素子。

【請求項 3】 請求項 1 又は請求項 2 に記載の固体撮像素子において、

前記水平シフトレジスタの半導体領域が前記複数の受光画素及び前記複数の垂直シフトレジスタの半導体領域よりも不純物濃度が高いことを特徴とする固体撮像素子。

【請求項 4】 行列配置される複数の受光画素の各列に対応して複数の垂直シフトレジスタが配置されると共に、前記複数の垂直シフトレジスタの出力側に水平シフトレジスタが配置され、更に前記水平シフトレジスタの出力側に出力部が配置される固体撮像素子の製造方法において、

一導電型の半導体基板の一主面に第 1 の不純物濃度を有する逆導電型の第 1 の半導体領域を形成する第 1 の工程と、

前記半導体基板の一主面に前記第 1 の不純物濃度よりも濃度の高い第 2 の不純物濃度を有する逆導電型の第 2 の半導体領域を形成する第 2 の工程と、

前記第 1 の半導体領域に前記水平シフトレジスタを形成すると共に、前記第 2 の半導体領域に前記出力部を形成する第 3 の工程と、を含むことを特徴とする固

体撮像素子の製造方法。

【請求項 5】 請求項 4 に記載の固体撮像素子の製造方法において、  
前記半導体基板の一主面に前記第 1 の不純物濃度よりも濃度の低い第 3 の不純物濃度を有する第 3 の半導体領域を形成する第 3 の工程を更に含み、  
前記第 3 の工程は、前記第 3 の半導体領域に前記複数の受光画素及び前記複数の垂直シフトレジスタを形成することを特徴とする固体撮像素子の製造方法。

【請求項 6】 請求項 4 又は請求項 5 に記載の固体撮像素子の製造方法において、

前記第 1 及び第 2 の半導体領域は、前記不純物が段階的に注入され、前記第 1 乃至第 3 の半導体領域への前記不純物の注入が、少なくとも 1 回共通に行われることを特徴とする固体撮像素子の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、C C D 固体撮像素子及びその製造方法に関し、特に出力部の低消費電力化に関する。

【0 0 0 2】

【従来の技術】

図 4 は、フレーム転送方式の C C D 固体撮像素子の概略の構成図である。フレーム転送方式の C C D 固体撮像素子は、撮像部 i、蓄積部 s、水平転送部 h 及び出力部 d を有する。撮像部 i で生成された情報電荷の 2 次元配列は蓄積部 s に高速で転送される。情報電荷は蓄積部 s に保持されると共に、1 行ずつ水平転送部 h へ転送され、さらに、1 画素単位で水平転送部 h から出力部 d へ転送される。出力部 d は 1 画素毎の電荷量を電圧値に変換し、その電圧値の変化が C C D 出力とされる。

【0 0 0 3】

図 5、図 6 は、従来の C C D 固体撮像素子の要部の断面図である。図 5 は、垂直シフトレジスタの電荷の転送方向に沿った断面であり、垂直シフトレジスタ（V-R E G）として蓄積部 s の出力端近傍の断面が示され、さらに、蓄積部 s の

出力端に接続される水平転送部 h の断面が示されている。また図 6 は、水平シフトレジスタの電荷の転送方向に沿った断面であり、水平シフトレジスタ (H-R E G) の出力端近傍の断面と、出力部の一部をなす浮遊拡散層 (F D) 18 及びリセットドレイン (R D) 20 とが示されている。

#### 【0004】

N 型のシリコン基板 2 には、イオン注入及び拡散処理によって、基板表面に位置する N 型不純物層である N ウェル (N W) 4 と、その下に位置する P 型不純物層である P ウェル (P W) 8, 10 と、もともとの基板本来の N 型不純物層 (N sub) 6 とが形成される。図 5 において、情報電荷は、N ウェル 4 に形成される垂直シフトレジスタの電位井戸を順次、右方向へ転送され、水平シフトレジスタの電極 14-1 の下に形成される電位井戸に読み出される。また図 6 において、情報電荷は N ウェル 4 に形成される水平シフトレジスタの電位井戸を順次、左方向に転送され、出力ゲート (O G) 16 の下を経由して浮遊拡散層 18 に転送される。

#### 【0005】

浮遊拡散層 18 は N<sup>+</sup>拡散層であり、これに隣接するリセットゲート (R G) 22 をオンすると、浮遊拡散層 18 の電位はリセットドレイン 20 のリセットドレイン電位  $V_{RD}$  に設定される。この浮遊拡散層 18 に水平シフトレジスタから情報電荷を転送すると、その電荷量に応じて浮遊拡散層 18 の電位が変動する。この電位変動は、出力アンプ 30 で検出及び増幅され、出力アンプの出力  $V_{OUT}$  が CCD 出力となる。

#### 【0006】

ここで、この出力アンプ 30 も基板 2 の表面の半導体領域を用いて形成される。すなわち、出力アンプ 30 の MOS トランジスタ 32, 34 のドレイン、ソースは、基板 2 の表面に形成された N<sup>+</sup>拡散層で構成され、それらの間の基板半導体領域に形成されるチャネルが、ゲート酸化膜上にポリシリコン電極層で形成されたゲート電極を用いて制御される。

#### 【0007】

さて、N 型基板 2 に P ウェル 10、N ウェル 4 を形成することにより、その基

板深さ方向にNPN構造が形成される。この構造により、基板表面の不要な電荷を基板深部に排出することができる。図7は、基板深さ方向の電位分布を示す模式図である。この図において、横軸は基板深さ方向の距離を表し、左側が基板2の表面側（すなわちゲート酸化膜側）、右側が基板2の裏面側に対応する。また縦軸は電位を表し、下が正電位方向（ポテンシャルが深い方向）に対応する。例えば、電位分布曲線40は撮像部i又は蓄積部sを構成する垂直シフトレジスタ領域では、基板側に所定の正電圧 $V_{sub}$ （例えば5V）、転送電極にオン状態に対応する正電圧 $V_S$ （例えば5V）がそれぞれ印加され、Pウェル10にポテンシャルの障壁が形成され、Nウェル4にポテンシャル井戸が形成される。シリコン基板2中において、電子はポテンシャルの浅いところから深いところへ、すなわち電位分布曲線の高い所から低い所へ移動する。そのため、Pウェル8に形成されるポテンシャル障壁が、通常動作時には、Nウェル4に形成されるポテンシャル井戸に蓄積される情報電荷の基板深部への移動を妨げる。一方、基板電圧 $V_{sub}$ を高くしたり、 $V_S$ を低くすることにより、Nウェル4のポテンシャル井戸が浅く持ち上げられると共に、Pウェル8のポテンシャル障壁が低く引き下げられ、Nウェル4に蓄積された情報電荷が基板深部へ排出される。例えば、電子シャッタ動作では、そのような印加電圧の操作によって、撮像部iや蓄積部sに存在する情報電荷を瞬時に排出し、それらの領域をリセットすることができる。また、このような縦型オーバーフロードレイン構造（VOD）では、撮像部iの受光画素にて情報電荷が過剰に発生した場合に、その過剰電荷がPウェル8のポテンシャル障壁を越えて基板深部に排出され、これにより、情報電荷が他の画素へ漏れ出すといったいわゆるブルーミングが防止される。

#### 【0008】

上述の基板深部への情報電荷の排出動作は、専ら、撮像部i及び蓄積部sにおいて必要とされ、水平転送部h及び出力部dでは必要とされない。そのため、従来は、撮像部i、蓄積部s、水平転送部h及び出力部dが設けられる基板表面全体にP型不純物をイオン注入した後、撮像部i及び蓄積部sをマスクで覆って水平転送部h及び出力部dの領域に再度、P型不純物をイオン注入する。これにより、水平転送部h及び出力部dの下に形成されるPウェル10のP型不純物の濃



度が撮像部  $i$  及び蓄積部  $s$  の下に形成される P ウェル 8 の P 型不純物の濃度より高くなる。図 7 にはその相違が表される。電位分布曲線 42 は水平転送部  $h$  (H-R E G) に対応するものであり、電位分布曲線 40 は上述のように撮像部  $i$  及び蓄積部  $s$  の垂直シフトレジスタに対応するものである。また、図 7 には、出力部  $d$  のリセットドレイン 20 や出力アンプ 30 の駆動トランジスタ 32 下の領域のポテンシャルの状態も示されている。これら出力部  $d$  のリセットドレイン 20 や駆動トランジスタ 32 のドレイン拡散層には、電源電圧  $V_{DD}$  (例えば 5 V) が印加されており、ポテンシャルの状態が図に示すような特性を有している。曲線 40, 42 は、P ウェルによるポテンシャル障壁が垂直シフトレジスタより水平シフトレジスタにて高くなることを表している。これにより、水平シフトレジスタでの基板深部への電荷排出を生じさせずに、垂直シフトレジスタのみにて基板深部への電荷排出を起こさせるように基板電圧  $V_{sub}$  等の条件を設定することが可能となる。

#### 【0009】

##### 【発明が解決しようとする課題】

近年、例えばデジタルカメラや写真撮影機能付き携帯電話といった、CCD 固体撮像素子を用いた小型軽量の機器が開発されている。小型軽量の機器ではバッテリーも小型化されるため、低消費電力化が望まれる。CCD 固体撮像素子では、出力アンプの駆動に比較的大きな電流を必要とし、この部分での消費電力が大きい。従って、出力アンプの電源電圧  $V_{DD}$  を低下させることにより、CCD 固体撮像素子、又は、撮像装置全体としての消費電力を低減することができる。

#### 【0010】

しかしながら、電源電圧  $V_{DD}$  を低下させると、出力アンプのトランジスタの動作不良を招くといった問題が生じる。出力アンプのトランジスタは、ドレインに電源電圧  $V_{DD}$  が印加され、ソースが主力アンプとしての出力点となっている。また、出力アンプのトランジスタは、上述したように、CCD 固体撮像素子と同一基板に形成されており、基板側に CCD 固体撮像素子と同様の基板電圧  $V_{sub}$  (例えば 5 V) が印加されている。このため、基板-ドレイン間の電位差が、ドレイン-ソース間の電位差よりも大きくなる。

**【 0 0 1 1 】**

また、電源電圧  $V_{DD}$  を下げることは、図 7 に示す曲線 4 4 のポテンシャルの曲線が浅くなることを意味する。これらの結果、ソースからチャネルに注入された電子がドレイン側に移動するのではなく、P ウェルのポテンシャルの障壁を越えて基板側になだれ込んでしまうといった現象が起き易くなる。このため、出力アンプ 3 0 の電源電圧  $V_{DD}$  を低下させることができず、CCD 固体撮像素子、又は、撮像素子全体としての消費電力の低減が困難となっていた。

**【 0 0 1 2 】**

本発明は上記問題点を解決するためになされたもので、電力消費を低減しつつ電荷の漏れ出しを抑制できる出力部を備えた CCD 固体撮像素子及びその製造方法を提供することを目的とする。

**【 0 0 1 3 】****【課題を解決するための手段】**

上記課題を解決するための本発明は、行列配置される複数の受光画素の各列に対応して複数の垂直シフトレジスタが配置されると共に、前記複数の垂直シフトレジスタの出力側に水平シフトレジスタが配置され、更に前記水平シフトレジスタの出力側に出力部が配置される固体撮像素子において、一導電型の半導体基板の一主面に逆導電型の半導体領域が形成されると共に、前記半導体領域に前記複数の受光画素、前記複数の垂直シフトレジスタ、前記水平シフトレジスタ及び前記出力部が形成され、前記出力部の前記半導体領域が前記水平シフトレジスタの半導体領域よりも不純物濃度が高いことを特徴とする。

**【 0 0 1 4 】**

さらに、上記固体撮像素子において、前記半導体基板上に形成され、前記水平シフトレジスタと前記出力部との境界に配置される出力ゲートを更に有することが好適である。

**【 0 0 1 5 】**

また、上記固体撮像素子において、前記水平シフトレジスタの半導体領域が前記複数の受光画素及び前記複数の垂直シフトレジスタの半導体領域よりも不純物濃度が高いことを特徴とする固体撮像素子。

## 【0016】

本発明によれば、前記水平シフトレジスタの半導体領域よりも前記出力部の半導体領域の不純物濃度を高くすることによって、前記出力部の半導体領域は完全には空乏化することがなくなるか、また空乏化しても前記水平シフトレジスタの半導体領域に対してより高い電位障壁を形成することとなる。そのため、前記出力部の半導体領域と前記水平シフトレジスタの半導体領域に互いに異なる不純物濃度を設定できるので、前記出力部での電荷の漏れ出し及び水平シフトレジスタでの転送効率の劣化の双方を防止できる。

## 【0017】

同様に、前記複数の受光画素及び前記複数の垂直シフトレジスタの半導体領域よりも前記水平シフトレジスタの半導体領域の不純物濃度を高くすることによって、前記受光画素及び前記垂直シフトレジスタから前記水平シフトレジスタへ情報電荷を高い効率で転送することができる。また、前記水平シフトレジスタの半導体領域の空乏層が素子表面の酸化膜の欠陥準位にトラップされことを防止することができ、情報電荷の転送を安定に行うことが可能となる。

## 【0018】

上記課題を解決するための本発明の別の形態は、行列配置される複数の受光画素の各列に対応して複数の垂直シフトレジスタが配置されると共に、前記複数の垂直シフトレジスタの出力側に水平シフトレジスタが配置され、更に前記水平シフトレジスタの出力側に出力部が配置される固体撮像素子の製造方法において、一導電型の半導体基板の一主面に第1の不純物濃度を有する逆導電型の第1の半導体領域を形成する第1の工程と、前記半導体基板の一主面に前記第1の不純物濃度よりも濃度の高い第2の不純物濃度を有する逆導電型の第2の半導体領域を形成する第2の工程と、前記第1の半導体領域に前記水平シフトレジスタを形成すると共に、前記第2の半導体領域に前記出力部を形成する第3の工程とを含むことを特徴とする。

## 【0019】

さらに、上記固体撮像素子の製造方法において、前記半導体基板の一主面に前記第1の不純物濃度よりも濃度の低い第3の不純物濃度を有する第3の半導体領

域を形成する第3の工程を更に含み、前記第3の工程は、前記第3の半導体領域に前記複数の受光画素及び前記複数の垂直シフトレジスタを形成することが好適である。また、上記固体撮像素子の製造方法において、前記第1及び第2の半導体領域は、前記不純物が段階的に注入され、前記第1乃至第3の半導体領域への前記不純物の注入が、少なくとも1回共通に行われることが好適である。

#### 【0020】

本発明によれば、前記第1の半導体領域に前記水平シフトレジスタを形成し、前記第1の半導体領域よりも不純物濃度が高い前記第2の半導体領域に前記出力部を形成することによって、前記第2の半導体領域は完全には空乏化することがなくなるか、また空乏化しても前記第1の半導体領域に対してより高い電位障壁を形成することとなり、前記出力部での電荷の漏れ出し及び水平シフトレジスタでの転送効率の劣化の双方を防止できる。

#### 【0021】

同様に、前記第1の半導体領域よりも不純物濃度の低い前記第3の半導体領域に前記複数の受光画素及び前記複数の垂直シフトレジスタを形成することにより、前記受光画素及び前記垂直シフトレジスタから前記水平シフトレジスタへ情報電荷を高い効率で転送することができる。また、前記第2の半導体領域の空乏層が素子表面の酸化膜の欠陥準位にトラップされることを防止することができ、情報電荷の転送を安定に行うことが可能となる。

#### 【0022】

##### 【発明の実施の形態】

次に、本発明の実施形態について図面を参照して説明する。以下、フレーム転送方式のCCD固体撮像素子での実施形態を説明する。フレーム転送方式のCCD固体撮像素子の概略の構成は図4に示す通りであり、これを援用する。フレーム転送方式のCCD固体撮像素子は、撮像部*i*、蓄積部*s*、水平転送部*h*及び出力部*d*を有する。撮像部*i*は、垂直方向に延在し、互いに平行に配列された複数のシフトレジスタからなり、各シフトレジスタの各ビットがフォトディフュージョンとして機能し受光画素を構成する。蓄積部*s*は、撮像部*i*のシフトレジスタに連続する遮光された複数のシフトレジスタからなり、各シフトレジスタの各ビ

ットが蓄積画素を構成する。水平転送部 h は、水平方向に延在する単一のシフトレジスタからなり、各ビットに蓄積部 s のシフトレジスタの出力が接続される。出力部 d は、水平転送部 h から転送出力される電荷を一時的に蓄積する容量及びその容量に蓄積された電荷を排出するリセットトランジスタを含む。これにより、撮像部 i の各受光画素に蓄積される情報電荷は、各画素毎に独立して蓄積部 s の蓄積画素へ転送された後、1 行ずつ蓄積部 s から水平転送部 h へ転送され、さらに、1 画素単位で水平転送部 h から出力部 d へ転送される。そして、出力部 d で 1 画素毎の電荷量が電圧値に変換され、その電圧値の変化が CCD 出力として外部回路へ供給される。

### 【0023】

図 1 は、水平シフトレジスタ（H-REG）の電荷の転送方向に沿った概略の断面図であり、水平シフトレジスタの出力端近傍の断面と、出力部の一部をなす浮遊拡散層（FD）18 及びリセットドレイン（RD）20 とが示されている。垂直シフトレジスタ（V-REG）の電荷の転送方向に沿った概略の断面図は図 5 と同じであり、これを援用する。

### 【0024】

N 型のシリコン基板 2 には P 型不純物がイオン注入、拡散され、その後、基板 2 の表面に N 型不純物が注入、拡散される。これにより、基板 2 の表面領域には、後から注入、拡散された N 型不純物からなる N 型拡散層である N ウェル（NW）4 が形成される。また、N 型不純物より先に行われる P 型不純物のイオン注入、拡散により、N ウェル 4 と基板本来の N 型不純物層 6（N<sub>sub</sub>）との間には P 型拡散層である P ウェル（PW）が形成される。本実施形態では、P ウェルを形成する P 型不純物のイオン注入は、注入する領域を変えて 3 回行われる。その結果、互いに不純物濃度の異なる 3 種類の P ウェル 8, 10, 60 が形成される。P ウェル 8 は、撮像部 i 及び蓄積部 s に形成され、3 種類の P ウェルのうち最も不純物濃度が低い。P ウェル 10 は、水平転送部 h に形成され、中間の不純物濃度を有する。P ウェル 60 は、出力部 d に形成され、最も不純物濃度が高い。図 5 には P ウェル 8, 10 が表されており、図 1 には P ウェル 10, 60 が表されている。

## 【0025】

基板の表面上には酸化膜（図示せず）を介して電極が配置される。蓄積部 s の垂直シフトレジスタには 4 相の垂直転送クロック  $\phi_{S1} \sim \phi_{S4}$  で駆動される電極群 12-1 ~ 12-4 が設けられ、水平シフトレジスタには 2 相の水平転送クロック  $\phi_{H1}$ ,  $\phi_{H2}$  で駆動される電極群 14-1, 14-2 が設けられる。電極群に順番に正電圧を印加することにより、電極下の N ウェル 4 に形成される電位井戸が移動し、それに連動して電位井戸に蓄積される情報電荷も移動する。例えば、図 5 においては、電荷は垂直シフトレジスタ中を右方向に順次転送され、水平シフトレジスタの電極 14-1 の下に形成される電位井戸に読み出される。また図 1 においては、電荷は水平シフトレジスタ中を左方向に順次転送され、直流電圧を印加された出力ゲート（OG）16 の下を経由して浮遊拡散層 18 に転送される。

## 【0026】

浮遊拡散層 18 は N<sup>+</sup> 拡散層であり、浮遊拡散層 18 及びこれに接合された P ウェルはフローティングディフュージョンを形成し、また浮遊拡散層 18、リセットドレイン 20 及びリセットゲート（RG）22 がリセットトランジスタを構成する。リセットドレイン 20 は N<sup>+</sup> 拡散層で形成される。リセットドレイン 20 は一定の正の電位  $V_{RD}$  に維持される。ここではリセットドレイン電圧  $V_{RD}$  として電源電圧  $V_{DD}$  を印加することができる。リセットゲート 22 に印加されるリセットクロック  $\phi_R$  によってリセットゲート 22 下のチャネルがオンすると、浮遊拡散層 18 の電位もリセットドレイン電圧  $V_{RD}$  に設定され、フローティングディフュージョンの P-N 接合は逆バイアスされる。リセットゲート 22 がオフされた状態では、フローティングディフュージョンの P-N 接合は電氣的にフローティング（浮遊状態）になる。ここに、水平シフトレジスタから情報電荷を浮遊拡散層 18 に移動させると、その情報電荷は P-N 接合容量に一時的に蓄積され、その電荷量に応じて浮遊拡散層 18 の電位が変動する。この電位変動は出力アンプ 30 で検出及び増幅され、出力アンプの出力  $V_{OUT}$  が C C D 出力となる。

## 【0027】

出力アンプ 30 は基板 2 に形成される MOS トランジスタを用いて、例えば 3 段ソースフォロワ回路で構成される。出力アンプ 30 の駆動トランジスタ 32 及

び負荷トランジスタ 34 のドレイン、ソースは、基板 2 の表面に形成された N<sup>+</sup> 拡散層で構成され、それらの間の基板半導体領域に形成されるチャネルは、ゲート酸化膜上にポリシリコン電極層で形成されたゲート電極を用いて制御される。本実施形態では、出力部 d のリセットドレイン 20 や出力アンプ 30 の駆動トランジスタ 32 のドレイン拡散層に印加される電源電圧  $V_{DD}$  は、低消費電力化のために、従来より低電圧（例えば 2.9 V）とされる。

#### 【0028】

また、N 型基板 2 に形成された P ウェル、N ウェルにより、基板深さ方向に NPN 構造が形成され、これを用いて、撮像部 i 及び蓄積部 s では基板表面の不要な電荷を基板裏面に排出することができる。図 2 は、基板深さ方向の電位分布を示す模式図である。この図は従来技術の図 7 に対応するものであり、その縦軸、横軸は図 7 と同様である。電位分布曲線 70 は、撮像部 i 又は蓄積部 s を構成する垂直シフトレジスタに対応するものであり、N ウェル 4、P ウェル 8 及び  $N_{sub}6$  からなる NPN 構造での電位分布を表す。電位分布曲線 72 は、水平転送部 h（H-REG）に対応するものであり、N ウェル 4、P ウェル 10 及び  $N_{sub}6$  からなる NPN 構造での電位分布を表す。さらに、電位分布曲線 74 は、出力部 d 内の電源電圧  $V_{DD}$  を印加される N<sup>+</sup> 拡散層、P ウェル 60 及び  $N_{sub}6$  からなる NPN 構造での電位分布を表す。

#### 【0029】

曲線 70、72 は、垂直シフトレジスタ又は水平シフトレジスタの転送電極 12、14 にオン状態に対応する正電圧  $V_S$ 、 $H_S$  として従来より低電圧の例えば 2.9 V を印加して P ウェルと N ウェル 4 との間を逆バイアス状態とし、かつ転送チャネルが完全空乏化している状態を表す。従来との対比を容易とするために、図 2 には、垂直シフトレジスタの転送電極 12 に 5 V を印加した場合の曲線 40 も表している。また、いずれの電位分布曲線とも、基板裏面に所定の正電圧  $V_{sub}$  として例えば 8 V を印加し、P ウェルと  $N_{sub}6$  との間が逆バイアス状態とされた様子を示している。

#### 【0030】

垂直シフトレジスタ下の P ウェル 8 と水平シフトレジスタ下の P ウェル 10 と

の不純物濃度差により、Nウェル4からN<sub>sub</sub>6への電子の移動に対するPウェルの電位障壁は、垂直シフトレジスタより水平シフトレジスタにて高くなるように構成される。この差によって、縦型オーバーフロードレイン動作及び電子シャッタ動作において、撮像部i及び蓄積部sでは情報電荷がN<sub>sub</sub>6に排出することができる一方で、その動作時に水平転送部hでは情報電荷の排出を防止することができる。また、Pウェル10の不純物濃度は、あまりに高くすると、Nウェル4のポテンシャル井戸、すなわち、基板深さ方向の電位分布の極小値が基板表面側に移動して、基板と基板表面との界面に生じる格子欠陥に電荷がトラップされ、情報電荷の転送効率が劣化するという問題を生じる。このため、Pウェル10の不純物濃度は、情報電荷がゲート酸化膜との界面に接しない程度の濃度に設定される。

#### 【0031】

また、電源電圧V<sub>DD</sub>の低電圧化に伴い、出力部のトランジスタのN<sup>+</sup>拡散層及びチャネルの電位が浅くなる。その電位は、電源電圧V<sub>DD</sub>と同じ電圧を転送電極14に印加した場合の水平シフトレジスタの転送チャネルの電位より浅くなる。このようにトランジスタのN<sup>+</sup>拡散層及びチャネルの電位が浅くなることは電荷の漏れ出しが生じやすい方に作用する。そこで、出力部下のPウェル60は水平シフトレジスタ下のPウェル10より不純物濃度を高くして、出力部のN<sup>+</sup>拡散層及びチャネルとN<sub>sub</sub>6との間のパンチスルーを防止している。Pウェル60の不純物濃度は、浮遊拡散層18のポテンシャルがオフ状態での転送電極14-1下のポテンシャルよりも深くなり、最終段の転送電極から浮遊拡散層18へ向けてのフリンジ電界が十分に得られて転送効率が確保されることを考慮して決定される。

#### 【0032】

図3は、本CCD固体撮像素子のPウェルの形成工程を説明する模式的な素子上面図である。N型のシリコン基板2の表面の素子形成領域にP型不純物がイオン注入され、さらに熱拡散される。この第1のP型不純物導入工程により、撮像部i、蓄積部s、水平転送部h及び出力部dが形成される予定の領域（図3（a）の斜線領域）に第1のP型拡散層が深さ方向に第1の不純物プロファイルにて



形成される。

### 【 0 0 3 3 】

続いて、水平転送部 h 及び出力部 d が形成される予定領域（図 3（b）の斜線領域）に開口を有するレジストパターンを基板 2 の表面に形成し、これをマスクとして P 型不純物の 2 回目のイオン注入を行う。この第 2 の P 型不純物導入工程により、水平転送部 h 及び出力部 d を形成する領域下に、先に形成されている第 1 の不純物プロファイルと合成された第 2 の不純物プロファイルを有する第 2 の P 型拡散層が形成される。

### 【 0 0 3 4 】

その後さらに、出力部 d が形成される予定領域（図 3（c）の斜線領域）に開口を有するレジストパターンを基板 2 の表面に形成し、これをマスクとして P 型不純物の 3 回目のイオン注入を行い、熱拡散処理を施す。この第 3 の P 型不純物導入工程により、出力部 d を形成する領域下に、先に形成されている第 2 の不純物プロファイルと合成された第 3 の不純物プロファイルを有する第 3 の P 型拡散層が形成される。ここで、水平シフトレジスタ出力端に接する P ウェル 6 0 の境界は、最終的に出力ゲート 1 6 の下に位置するように、イオン注入のマスク及び熱拡散等が設計される。

### 【 0 0 3 5 】

以上のように 3 段階で第 1 ～第 3 の P 型拡散層を形成した後、これら P 型拡散層に重ねて N 型不純物をイオン注入し、P 型拡散層よりも浅い深さまで拡散する。これにより基板表面寄りに形成された N 型拡散層が N ウェル 4 を構成する。また N 型拡散層より深い部分に残った第 1 ～第 3 の P 型拡散層それぞれが P ウェル 8，10，60 となる。

### 【 0 0 3 6 】

以降の工程は基本的に従来と同様である。具体的には、所定のレジストパターンをマスクとして高濃度の P 型不純物をイオン注入し、分離領域（チャネルストップ）を形成する。分離領域及び N ウェル 4 を被って基板 2 の表面にゲート酸化膜を形成する。ゲート酸化膜上にポリシリコン膜を積層し、このポリシリコン膜をパターニングして複数の転送電極 12，14 を形成する。

## 【0037】

## 【発明の効果】

本発明のCCD固体撮像素子によれば、出力部の電源電圧を下げて消費電力を低減しても、基板表面に形成された出力部と基板裏面との間の電荷の漏れ出しが抑制される。

## 【図面の簡単な説明】

【図1】 実施形態のCCD固体撮像素子における水平シフトレジスタの電荷の転送方向に沿った概略の断面図である。

【図2】 実施形態のCCD固体撮像素子における基板深さ方向の電位分布を示す模式図である。

【図3】 実施形態のCCD固体撮像素子におけるPウェルの形成工程を説明する模式的な素子上面図である。

【図4】 フレーム転送方式のCCD固体撮像素子の概略の構成図である。

【図5】 従来及び実施形態のCCD固体撮像素子における垂直シフトレジスタの電荷の転送方向に沿った概略の断面図である。

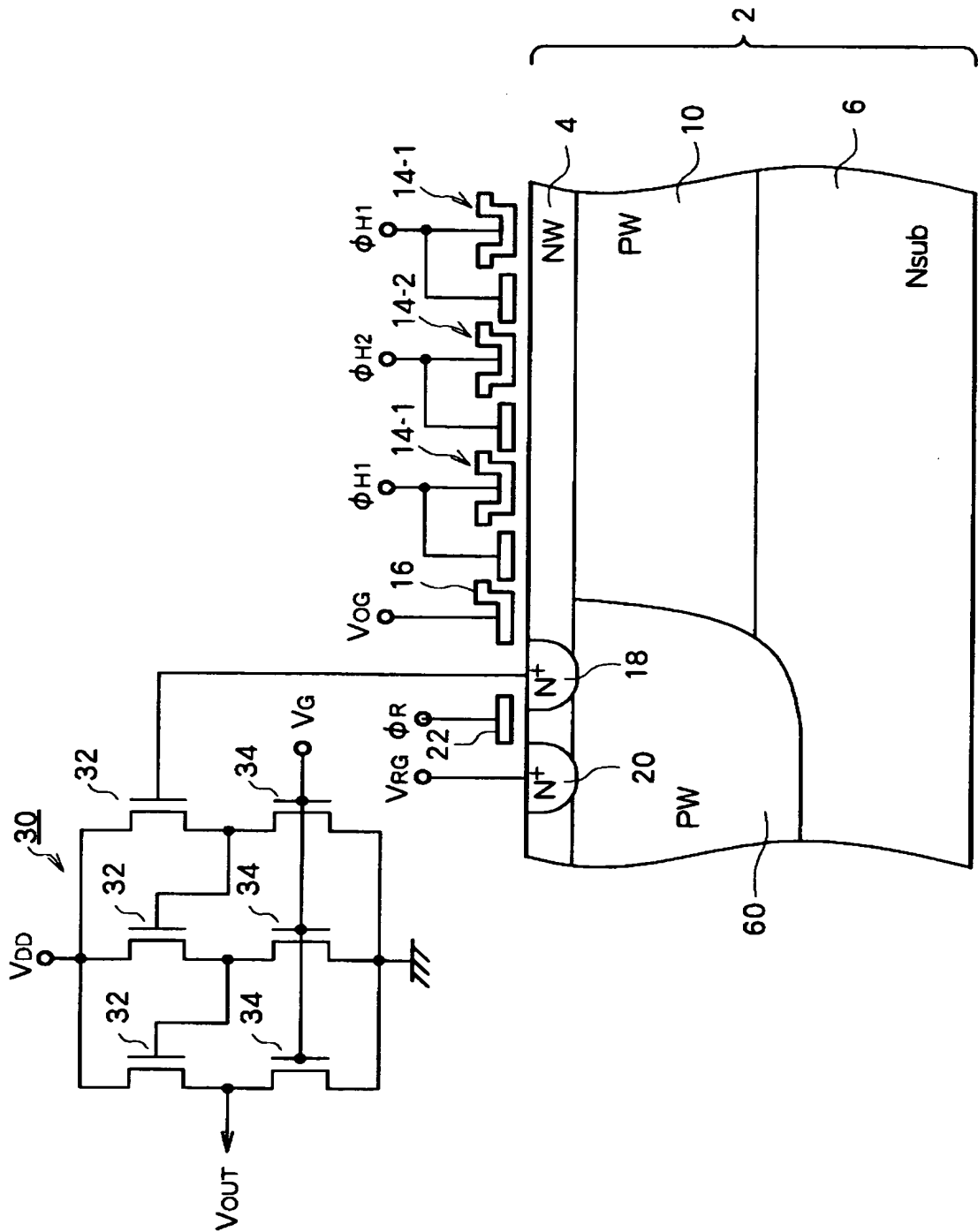
【図6】 従来のCCD固体撮像素子における水平シフトレジスタの電荷の転送方向に沿った概略の断面図である。

【図7】 従来のCCD固体撮像素子における基板深さ方向の電位分布を示す模式図である。

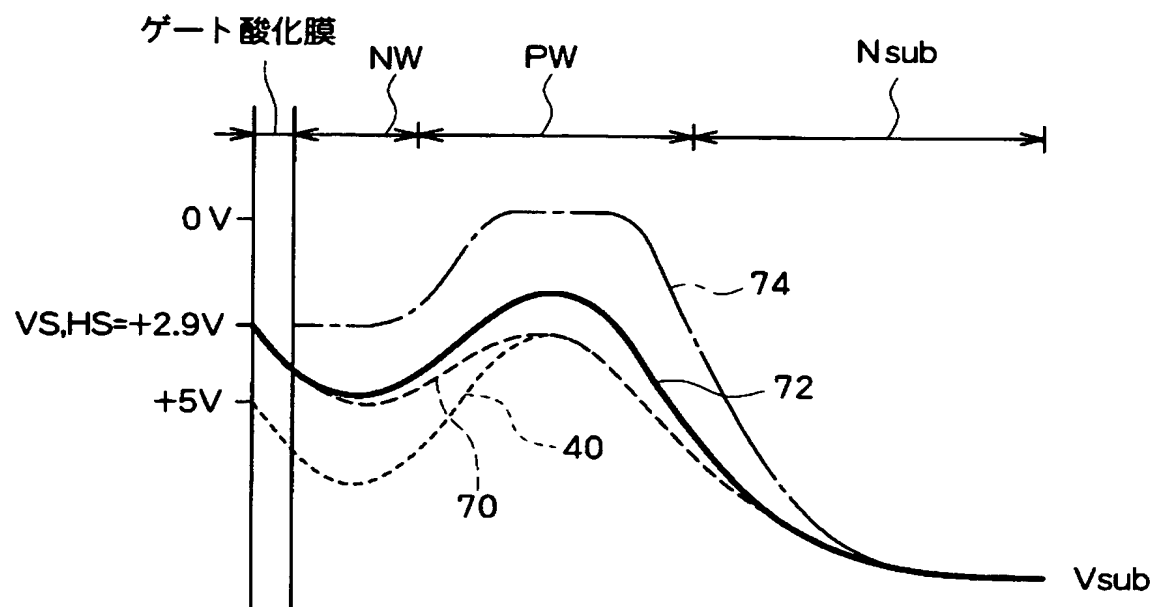
## 【符号の説明】

2 シリコン基板、4 Nウェル、6 N型不純物層、8, 10, 60 Pウェル、12, 14 転送電極、16 出力ゲート、18 浮遊拡散層、20 リセットドレイン、22 リセットゲート、30 出力アンプ、32 駆動トランジスタ、34 負荷トランジスタ。

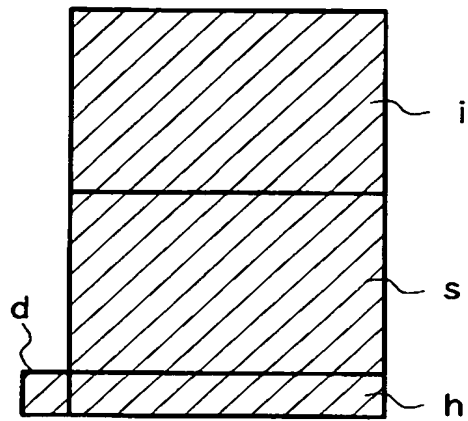
【書類名】 図面  
【図 1】



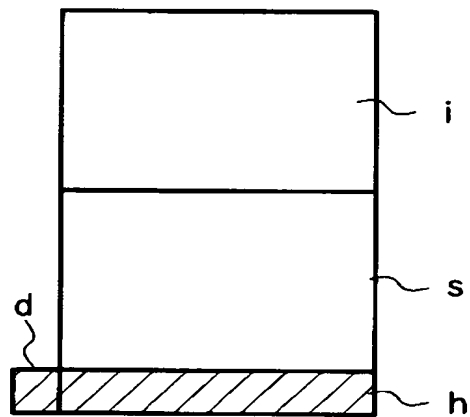
【図 2】



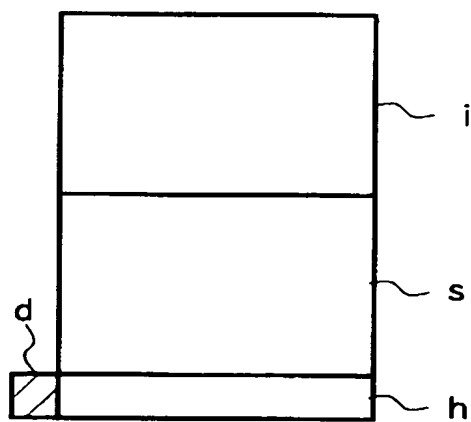
【図 3】



(a)

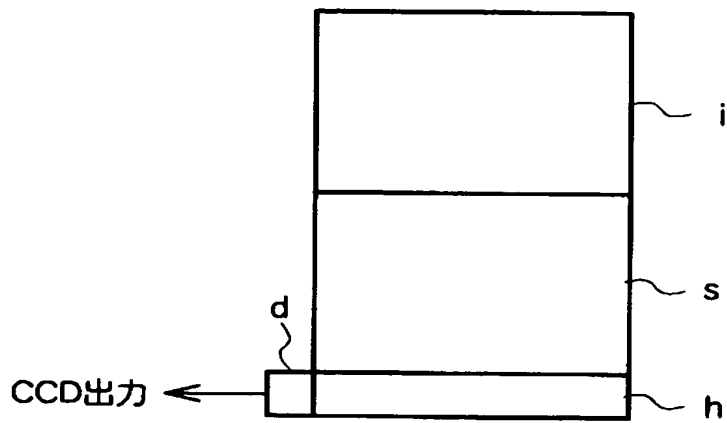


(b)

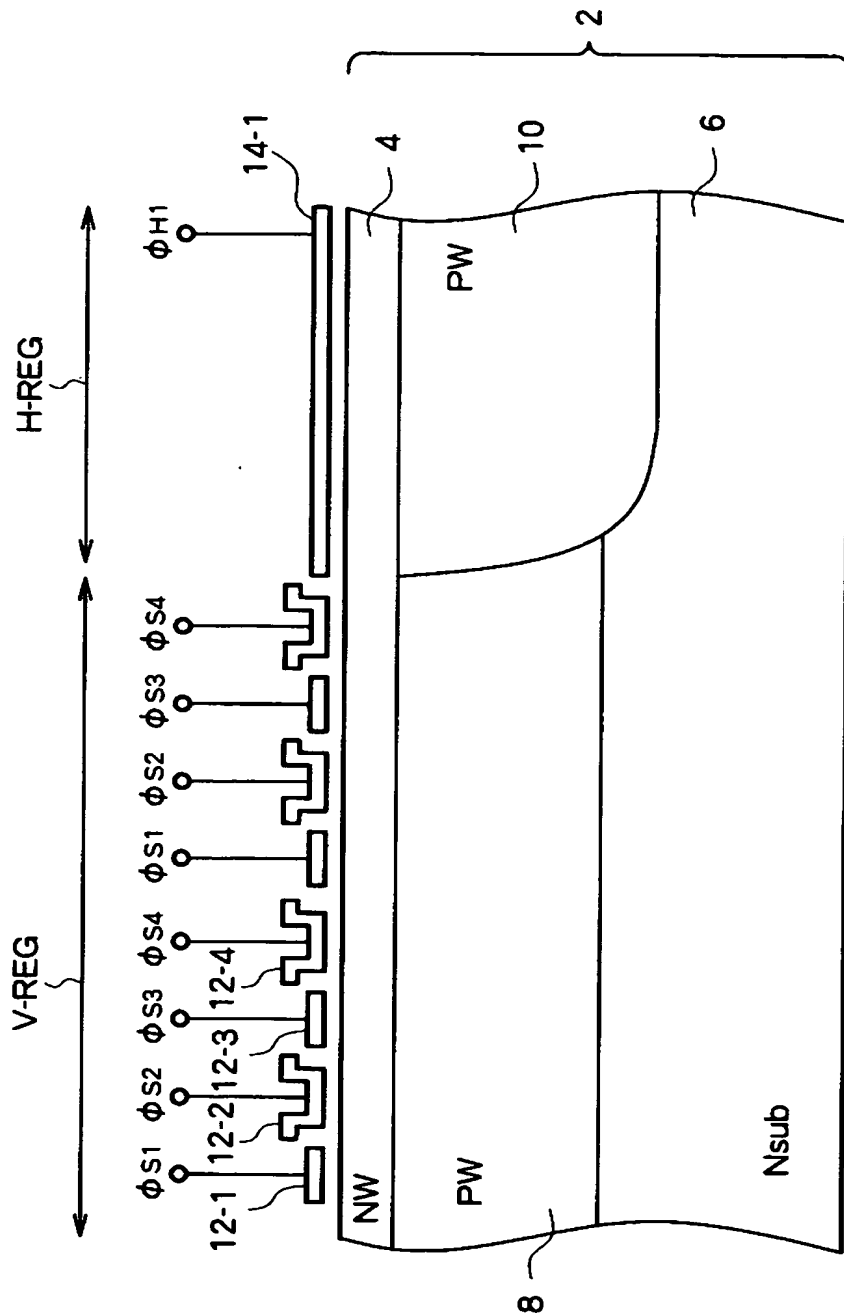


(c)

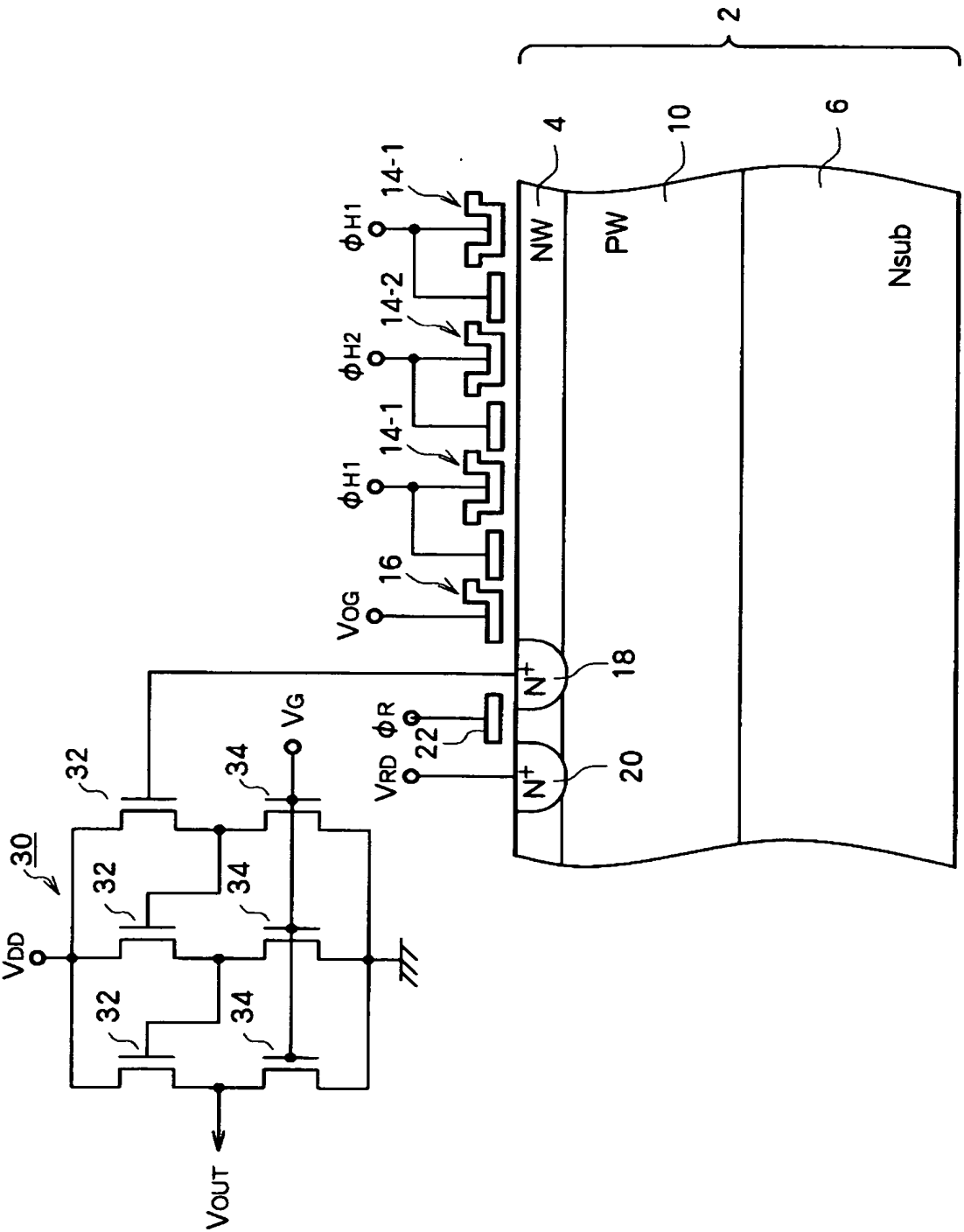
【図 4】



【図 5】

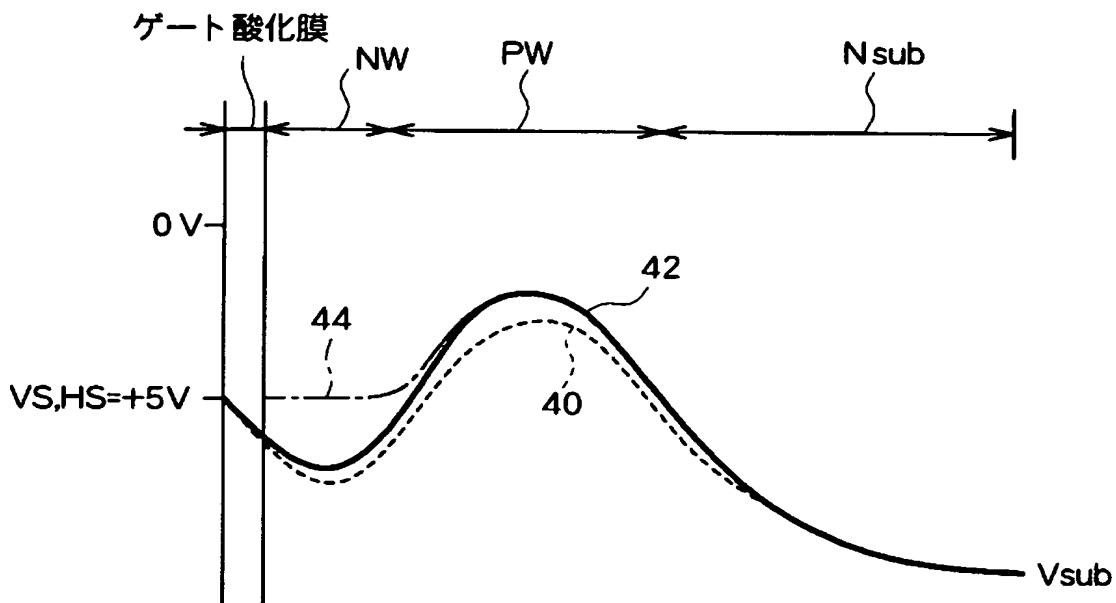


【図 6】





【図 7】



【書類名】 要約書

【要約】

【課題】 縦型オーバーフロー dren を採用する C C D 固体撮像素子において、出力アンプの電源電圧の低下による電荷の漏れ出しを抑制する。

【解決手段】 N 型シリコン基板 2 の裏面の N 型不純物層 6 と表面の N ウェル 4 又は N<sup>+</sup>拡散層との間に設けられる P ウェルを 3 回の不純物の注入工程により形成し、撮像部及び蓄積部の下の P ウェルと、水平転送部の下の P ウェル 1 0 と、出力部の下の P ウェル 6 0 とを、互いに不純物濃度を異ならせて形成する。出力部の下に配置された P ウェル 6 0 は、他の領域の P ウェル 1 0 より P 型不純物の濃度が高く形成される。

【選択図】 図 1

特願 2 0 0 2 - 3 0 4 9 7 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 8 8 9 ]

- 1 . 変更年月日            1 9 9 0 年    8 月 2 4 日  
    [変更理由]            新規登録  
          住    所        大阪府守口市京阪本通 2 丁目 1 8 番地  
          氏    名        三洋電機株式会社
  
- 2 . 変更年月日            1 9 9 3 年 1 0 月 2 0 日  
    [変更理由]            住所変更  
          住    所        大阪府守口市京阪本通 2 丁目 5 番 5 号  
          氏    名        三洋電機株式会社